

Patent Abstracts of Japan

⑧

PUBLICATION NUMBER : 04087183
 PUBLICATION DATE : 19-03-92

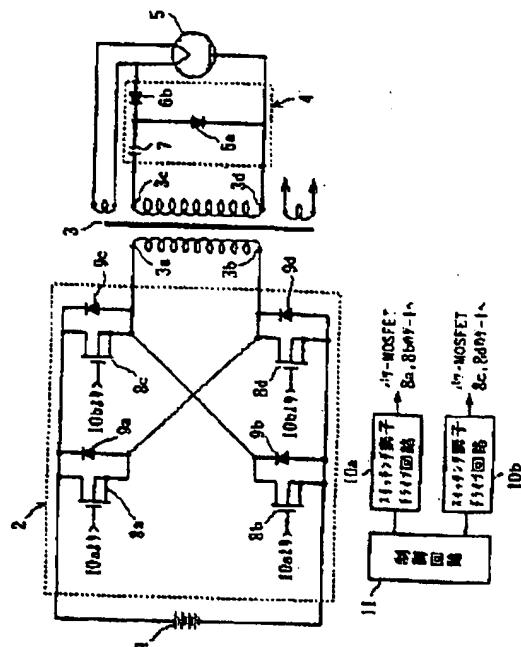
APPLICATION DATE : 26-07-90
 APPLICATION NUMBER : 02200689

APPLICANT : SHARP CORP;

INVENTOR : KODAMA HIROICHI;

INT.CL. : H05B 6/66 H02M 7/5387

TITLE : DRIVER CIRCUIT FOR INVERTER
 TYPE MICROWAVE OVEN



ABSTRACT : PURPOSE: To accomplish high output power and high efficiency through the use of a low-voltage Dc power supply by furnishing four switching elements to switch DC current, and providing a bridge inverter circuit which switches these switching elements when the level of the current waveform is substantially nullified.

CONSTITUTION: A driver circuit for an inverter type microwave oven comprises a bridge system inverter circuit 2 which converts the DC power of a low-voltage DC power supply 1 into a high frequency electric power, a booster transformer 3 for the supply voltage, and a voltage doubler half-wave rectifying circuit 4 which rectifies the output of this booster transformer 3. A magnetron 5 is driven with the output of this voltage doubler half-wave rectifying circuit 4. The inverter circuit 2 is equipped with four switching elements 8a-8d which switch the DC current and control means 10a, 10b, 11 which switch these elements 8a-8d when the level of the current waveform substantially nullified. This allows accomplishing a driver circuit for inverter type microwave oven while requiring a low voltage input, with which a high power utilization factor and high output are ensured.

COPYRIGHT: (C)1992,JPO&Japio

⑪ 公開特許公報 (A) 平4-87183

⑫ Int.Cl.⁵H 05 B 6/66
H 02 M 7/5387

識別記号

府内整理番号

B 8815-3K
8730-5H

⑬ 公開 平成4年(1992)3月19日

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 インバータ電子レンジの駆動回路

⑮ 特願 平2-200689

⑯ 出願 平2(1990)7月26日

⑰ 発明者 岡本 光央 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑱ 発明者 小玉 博一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代理人 弁理士 青山 葵 外1名

明細書

1. 発明の名称

インバータ電子レンジの駆動回路

2. 特許請求の範囲

(1) 直流をスイッチングする4つのスイッチング素子と、上記スイッチング素子に流れる電流波形のレベルが略零の時に、上記スイッチング素子をスイッチングさせる制御手段とを有するブリッジインバータ回路と、

上記インバータ回路から交流が1次側巻線に供給される昇圧トランスと、

上記昇圧トランスの2次側巻線に接続され、マグネットロンに電力を供給する倍電圧整流回路を備えたことを特徴とするインバータ電子レンジの駆動回路。

(2) 上記制御手段は上記ブリッジインバータ回路の4つのスイッチング素子を同時にオフする制御信号を出力することを特徴とする請求項1に記載のインバータ電子レンジの駆動回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、低電圧直流電源を高電圧の高周波電流に変換し、これを倍電圧整流回路により整流してマグネットロンに電力を供給するインバータ電子レンジの駆動回路に関するものである。

【従来の技術】

近年、通常は商用交流電源で使用していた電気・電子機器において、屋外での使用を考慮した機器が各種開発されており、現在家庭内で広く利用されているインバータ電子レンジにおいても屋外での使用が試みられている。

従来の典型的なインバータ電子レンジの構成を第7図に示す。このインバータ電子レンジでは商用電源(100V、50/60Hz)から得られた交流電力は整流回路で直流電力に変換される。この直流電力は一石共振型インバータ回路で高周波化され、昇圧トランスで昇圧される。トランス出力は倍電圧整流回路で整流され、マグネットロンの駆動に利用される。

上記インバータ電子レンジを屋外で使用する際

には自動車用蓄電池等の12V、24V等の低電圧直流電源で使用する必要があり、第8図に示すように、低電圧直流電源とインバータ電子レンジの間にDC/ACインバータを設け、低電圧直流電源の出力をDC/ACインバータによって商用交流電源と同じ100V、50/60Hzの交流電力に変換し、この交流電力でインバータ電子レンジを作動させていた。

【発明が解決しようとする課題】

上述したようにインバータ電子レンジを低電圧直流電源で使用する場合、DC/ACインバータを使用して交流電力をインバータ電子レンジに入力する方法では、DC/ACインバータとインバータ電子レンジのインバータ回路とで2度の電力変換が行なわれるため、電力の利用率が極めて低くなるという問題がある。また、2台の独立したインバータを必要とすることから電源回路のコストも高くなる。

また、従来のインバータ電子レンジの一石共振型インバータ電源回路に低電圧直流電源を直接に

特徴としている。

また、上記制御手段は上記ブリッジインバータ回路の4つのスイッチング素子を同時にオフする制御信号を出力することが望ましい。

【作用】

4つのスイッチング素子のうち、一方の2つのスイッチング素子をオンすると、倍電圧コンデンサは昇圧トランスのリーケージインダクタンス、倍電圧整流回路の倍電圧コンデンサのキャパシタス、回路抵抗値(但しマグネットロンの抵抗値は除く)で定まる振動の弧を描く電流で充電される。倍電圧コンデンサの充電電圧の大きさは倍電圧コンデンサの初期電圧とスイッチング素子のオン時間の長さで決まる。次に、前記と同じ一方の2つのスイッチング素子をオフすると、昇圧トランスに蓄えられた電磁エネルギーが倍電圧コンデンサに供給されながら電源に回生される。

次に、他方の2つのスイッチング素子をオンすると、昇圧トランスのリーケージインダクタンスと倍電圧コンデンサのキャパシティ、マグネット

接続するように仕様を変更することは理論的には可能であるが、電源電圧を低くする分、電流容量の非常に大きなスイッチング素子を必要とする。このような電流容量を持つスイッチング素子は現状では非常に高価なものとなる。

本発明はこのような現状に鑑みてなされたものであり、その目的とするところは、低電圧直流電源を電源として、高出力かつ高効率、しかも安価でコンパクトなインバータ電子レンジの駆動回路を提供することにある。

【課題を解決するための手段】

本発明のインバータ電子レンジの駆動回路は、直流をスイッチングする4つのスイッチング素子と、上記スイッチング素子に流れる電流波形のレベルが零の時に、上記スイッチング素子をスイッチングさせる制御手段とを有するブリッジインバータ回路と、上記インバータ回路から交流が1次側巻線に供給される昇圧トランスと、上記昇圧トランスの2次側巻線に接続され、マグネットロンに電力を供給する倍電圧整流回路とを備えたことを

の抵抗を含む回路抵抗で定まる振動の弧を描く電流でマグネットロンに電気エネルギーが供給される。ここでマグネットロンに供給される電力は、倍電圧コンデンサの電圧とスイッチング素子のオン時間の長さで決まる。そして上記他方の2つのスイッチング素子がオフすると、昇圧トランスに蓄えられた電磁エネルギーがマグネットロンに供給されながら電源に回生される。

以上のスイッチング動作が繰り返されてマグネットロンは高周波電力を発振する。

この場合において、スイッチング素子の電流波形は、回路常数、すなわち昇圧トランスのリーケージインダクタンス、倍電圧コンデンサおよび回路抵抗で定まる固有周波数で振動する。そして、ブリッジインバータ回路の制御手段は電流波形のレベルが零のときにスイッチング素子をスイッチングするので、見方を変えると、昇圧トランスのリーケージインダクタンス等の回路定数の値を調整するか、スイッチング素子のオン時間を調整して、固有周波数の2分の1の周期とスイッチング

素子のオン時間とを等しくしているので、出力される回路出力電力は最大となる。また、このとき、スイッチング素子のオフからオンへの遷移時およびオンからオフへの遷移時にスイッチング素子に流れる電流はほぼゼロになるため、遷移損が非常に小さくなり、スイッチング損失が低減する。

また、制御手段がブリッジインバータ回路の4つのスイッチング素子を同時にオフする制御信号を出力する場合には、上記4つのスイッチング素子が同時にオンして昇圧トランスの1次側の回路が短絡するのを防止する。

【実施例】

以下、本発明のインバータ電子レンジの駆動回路について添付図面を参照して詳細に説明する。

第1図は本発明の一実施例を示す回路図である。第1図に示すように、このインバータ電子レンジは、低電圧直流電源(例えば自動車用蓄電池)1の直流電力を高周波電力に変換するブリッジ方式インバータ回路(以下、インバータ回路)2と、電源電圧を昇圧する昇圧トランス3と、この昇圧ト

FET 8bおよび8dのソースは直流電源1の負極に接続されている。上記パワーMOSFET 8aおよび8cのソースはそれぞれパワーMOSFET 8b, 8dのドレインに接続されている。

また、昇圧トランス3の1次巻線の一端3aはパワーMOSFET 8cのソースとパワーMOSFET 8bのドレインとの接続点に接続され、昇圧トランス3の1次巻線の他端3bはパワーMOSFET 8aのソースとパワーMOSFET 8dのドレインとの接続点に接続されている。また、高速ダイオード9a～9dはパワーMOSFET 8a～8dにそれぞれ並列接続している。スイッチング素子であるパワーMOSFET 8a～8dのゲートがスイッチング素子ドライブ回路10a, 10bを介して制御回路11によって駆動されることにより、昇圧トランス3の1次側を流れる電流が高速にスイッチングされる。なお、スイッチング素子としては、パワーMOSFET 8a～8dに代えて、IGBT(インシュレーティド・ゲート・バイポーラ・トランジスタ)等のスイッチング素子

ンス3の出力を整流する倍電圧半波整流回路4を備えており、この倍電圧半波整流回路4の出力によってマグネットロン5が駆動される。昇圧トランス3の2次側からは、マグネットロン5のフィラメント加熱用電源も供給される。

上記倍電圧半波整流回路4は公知の構成を有しており、2個の高圧ダイオード6a, 6bおよび倍電圧コンデンサ7を備えている。

上記インバータ回路2は、4個のパワーMOSFET(メタル・オキサイド・セミコンダクター・フィールド・エフェクト・トランジスタ)8a～8dと、上記4個のパワーMOSFETの保護用の4個の高速ダイオード9a～9dと、上記パワーMOSFET 8a～8dを駆動するスイッチング素子ドライブ回路10a, 10bと、制御回路11を備えている。上記スイッチング素子ドライブ回路10a, 10bと制御回路11で制御手段を構成している。

上記パワーMOSFET 8aおよび8cのドレインは直流電源1の正極に接続され、パワーMOS

を用いてもよい。

第2図は制御回路11の回路図である。同図に示すように、発振回路21はトグルフリップフロップ22と鋸歯状波発生回路23に接続され、トグルフリップフロップ22は2つのANDゲート25a, 25bに、また鋸歯状波発生回路23は比較回路24を介して上記ANDゲート25a, 25bに接続されている。上記トグルフリップフロップ22は発振回路21の出力信号をトリガとして、2相分割信号を出力する。上記2相分割信号は2つのANDゲート25a, 25bにそれぞれ入力される。一方、上記鋸歯状波発生回路23に与えられた発振出力は、発振回路21の発振周波数に同期した鋸歯状波に変換された後に、比較回路24に入力される。そして、この比較回路24において、マグネットロン5の出力を決定するための基準値(すなわちパワーMOSFETをオンする時間)を設定するためのスレッショルドレベル)と鋸歯状波との比較が行なわれ、比較回路24の出力は鋸歯状波の電圧レベルが基準値より大きい期間に

ハイレベルになり、予め設定されたオン時間となるように変調される。変調された信号は上記ANDゲート25a, 25bに入力され、トグルフリップフロップ22で2相に分割された信号とANDをとることで、4つのパワーMOSFET 8a～8dを同時にオフする期間を持ちながら、パワーMOSFET 8a, 8bとパワーMOSFET 8c, 8dを交互に駆動する。

上記ANDゲート25aおよび25bの出力は、それぞれスイッチング素子ドライブ回路10a, 10bを経て、パワーMOSFET 8a, 8bおよび8c, 8dのゲートに与えられる。ANDゲート25aの出力がハイレベルの時、パワーMOSFET 8aと8bがオン状態になる。またANDゲート25bの出力がハイレベルの時パワーMOSFET 8cと8dはオン状態になる。

第3図は制御回路11の動作タイミングを示す図である。同図に示すように、ANDゲート25a及び25bの出力は交互にハイレベルになるので、パワーMOSFET 8a, 8bおよび8c, 8dも交互

た電磁エネルギーが倍電圧コンデンサ7に供給されると共に、昇圧トランス3の1次巻線の一端3b、高速ダイオード9a、直流電源1、高速ダイオード9b、昇圧トランス3の1次巻線の他端3aの経路で電源1に帰還され、すべてのパワーMOSFET 8a～8dが同時オフする期間に移る。

次に、パワートランジスタ8aと8bをオンさせると、昇圧トランス3の2次側回路は高速ダイオード9b、倍電圧コンデンサ7、昇圧トランス3の2次巻線の一端3c、2次巻線の他端3d、マグネットロン5の閉ループに電流が流れ、マグネットロン5に電気エネルギーが供給される。ここでマグネットロン5に供給される電力は倍電圧コンデンサ7の電圧とパワーMOSFET 8a～8dのオン時間の長さで決まる。そしてパワーMOSFET 8aと8bをオフさせると、昇圧トランス3に蓄えられた電磁エネルギーはマグネットロン5に供給されると共に、昇圧トランス3の1次巻線の一端3a、高速ダイオード9c、直流電源1、高速ダイオード9d、昇圧トランス3の1次巻線の他端3bの経

にオン状態にされる。ここでANDゲート25aおよび25bの出力は同時にローレベルになる期間、つまりデッドタイムが存在するよう、基準値が設定されている。なお、デッドタイムは4つのパワーMOSFET 8a～8dが同時にオンして短絡状態になるのを防止するために設けたものである。

次に、本実施例の動作を説明する。インバータ回路2のパワーMOSFET 8a～8dがすべてオフしている状態からパワーMOSFET 8cと8dがオンすると、昇圧トランス3の2次側回路は高圧コンデンサ7、高圧ダイオード9a、昇圧トランス3の2次巻線の一端3d、2次巻線の他端3cの閉ループに電流が流れ、倍電圧コンデンサ7が充電される。なお、倍電圧コンデンサ7の充電電圧の大きさは、倍電圧コンデンサ7の初期電圧とスイッチング素子としてのパワーMOSFET 8a～8dのオン時間の長さで決まる。

次に、再び上記と同じパワーMOSFET 8cと8dをオフすると、昇圧トランス3に蓄えられ

路で電源1に帰還され、すべてのパワーMOSFET 8a～8dが同時オフする期間に移る。以上の動作が繰り返されてマグネットロン5は高周波電力の発振を続ける。

上記倍電圧コンデンサ7には昇圧トランス3のリーケージインダクタンス、倍電圧コンデンサ7のキャパシタンス、回路抵抗(但しマグネットロン5の抵抗分は除く)で定まる振動の弧を描くパワーMOSFET 8c, 8dのドレイン電流波形と同様の電流波形で充電され、またマグネットロン5には昇圧トランス3のリーケージインダクタンスと倍電圧コンデンサ7のキャパシタンス、回路抵抗(但しマグネットロン5の抵抗分を含む)で定まる振動の弧を描くパワーMOSFET 8a, 8bのドレイン電流波形と同様の電流波形で電気エネルギーが供給される。

第4図(a)は本実施例におけるパワーMOSFETに流れる電流波形を示す図である。同図を参照して回路出力電力が向上できることを詳細に説明する。上記電流波形は昇圧トランス3のリーケ

ージインダクタンス、倍電圧コンデンサ7のキャパシタンス、回路抵抗の各値で定まる固有周波数Fで振動する。この波形の2分の1周期をパワーMOSFETのオン時間Tonに等しくなるように振動させると(Ton = 1/(2F)にすると)、第4図(a)に示すようにパワーMOSFETのオン期間における電流(電流波形のオン期間における積分値)をほぼ最大にでき、したがって、回路出力電力もほぼ最大にできる。なお、Ton < 1/(2F)、Ton > 1/(2F)にすると、第4図(b)、(c)に示すように、オン期間における電流が小さくなる。

第5図は本実施例(Ton = 1/(2F))におけるパワーMOSFETのスイッチング損失の説明図である。第5図を参照して、スイッチング損失が低減できることを説明する。第5図において、破線はパワーMOSFETの電圧波形であり、実線はパワーMOSFETの電流波形である。また、第5図に示すように、パワーMOSFETのオフからオンへの遷移時のライズタイムTrおよびオンからオフへの遷移時のフォールクタイムTfにパ

となるようにL、C、Rの値を設定する。また逆に、L、C、Rで定まる固有周波数の周期の2分の1にパワーMOSFET 8a、8bおよび8c、8dのオン時間を設定してもよい。

また、先に述べた通り、パワーMOSFET 8c、8dがオンして、倍電圧コンデンサ7に充電される期間の回路抵抗はマグネットロン5の抵抗分を含まないが、パワーMOSFET 8a、8bがオンしてマグネットロン5に電気エネルギーが供給される期間の回路抵抗はマグネットロン5の抵抗分を含む。このとき回路抵抗にはマグネットロン5の抵抗分として、マグネットロン5の等価抵抗を1次側に変換した値(昇圧トランジスタ3の巻数比の2乗で除した値)が加わる。しかしながら、本回路では低電圧直流電源を電源としており、商用電源を直接整流するのと比較して、昇圧トランジスタ3の巻数比nが高いことからマグネットロン5の抵抗分は非常に小さい。したがって、パワーMOSFET 8a、8bがオン期間でも、またパワーMOSFET 8c、8dがオン期間でも同様のスイッチング電流波形を得

る。パワーMOSFETに流れるドレイン電流がほぼゼロとなるため遷移損の発生が極力抑えられ、スイッチング損失を低減できる。

具体的な昇圧トランジスタ3のリーケージインダクタンスと倍電圧コンデンサ7のキャパシタンスおよび回路抵抗の設定は以下の通りである。

パワーMOSFETの電流波形の固有周波数Fは次式で示される。

$$F = \frac{\beta}{2\pi} \text{, 但し } \beta = \sqrt{\frac{1}{n^2 \cdot L \cdot C}} - \left(\frac{R}{2L}\right)^2$$

ここで、L: 昇圧トランジスタのリーケージインダクタンス

C: 倍電圧コンデンサのキャパシタンス

R: 回路抵抗

n: 昇圧用トランジスタ巻数比

したがって、パワーMOSFET 8a、8bおよび8c、8dのオン時間をTonとして

$$Ton = \frac{1}{2F} = \frac{\pi}{\sqrt{\frac{1}{n^2 \cdot L \cdot C}} - \left(\frac{R}{2L}\right)^2}$$

られる、どちらの場合であってもほぼ最大出力が得られる。

尚、本実施例においてインバータ回路2を2回路並列接続すると、スイッチング素子のオン抵抗半減により回路抵抗を低減できる。したがって、この場合には、第6図に示すように、回路抵抗を小さくした分だけ、スイッチング電流が大きくなり出力をアップすることができる。さらに、スイッチング素子の1石あたりの回路電流低減によって導通損を低減できる。また、上記インバータ回路2の各スイッチング素子を2個以上並列接続しても、上述と同様に回路抵抗を低減して、出力向上できる。また、高速ダイオード9a～9dについては、上述したとおり、昇圧トランジスタ3に蓄えた電磁エネルギーを直流電源1に帰還させる働きを有するのであるが、スイッチング素子としてのパワーMOSFETのスイッチング周波数が20KHz程度以下の場合には、パワーMOSFETに等価的に組み込まれている内蔵ダイオードに、上記高速ダイオードの働きをさせることができるので、

上記高速ダイオード 9a～9dを省くことができる。

【発明の効果】

以上のように、本発明によれば、従来とは異なり、DC/A/Cインバータを使用せず、またスイッチング素子の電流波形のレベルが略零の時にをスイッチング素子をスイッチングさせているので、安価で電力利用効率の高い、かつ高出力であると共にスイッチング損失の小さい低電圧入力のインバータ電子レンジの駆動回路を提供できる。

さらに、本発明によれば、低電圧の直流電源を直接高周波電流に変換しているので、駆動回路の中でも最も大きく、しかも重量のある昇圧用トランスの小型化、軽量化が可能となり、駆動回路のコンパクト化が図れる。

また、制御手段がブリッジインバータ回路の4つのスイッチング素子を同時にオフする制御信号を出力する場合には、上記4つのスイッチングが同時にオンして昇圧トランスの1次側の回路を短絡することを防止することができる。

4. 図面の簡単な説明

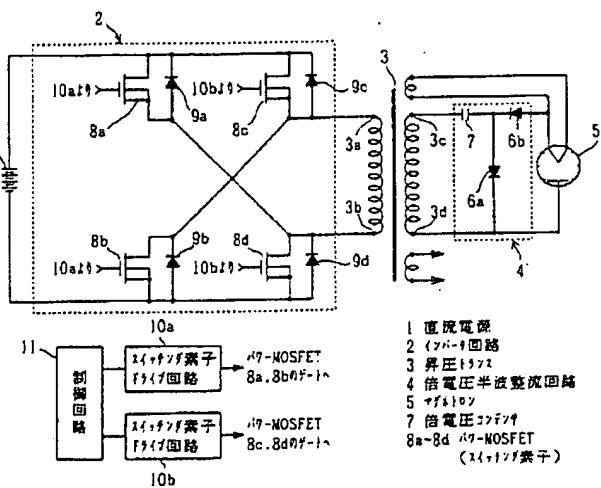
第1図は本発明の実施例に係るインバータ電子レンジの駆動回路の回路図、第2図は制御回路のブロック図、第3図は制御回路の各制御信号の波形図、第4図(a)は本実施例のパワーMOSFETのスイッチング電流波形を示す図、第4図(b)、(c)は比較例のパワーMOSFETのスイッチング電流波形を示す図、第5図は本実施例のパワーMOSFETのスイッチング損失の説明図、第6図は回路抵抗とスイッチング電流の関係を示す図、第7図は従来のインバータ電子レンジの回路ブロック図、第8図は低電圧直流電源を用いて従来のインバータ電子レンジを駆動する方法を示す図である。

1…直流電源、2…インバータ回路、
3…昇圧トランス、4…倍電圧半波整流回路、
8a, 8b, 8c, 8d…パワーMOSFET、
10a, 10b…スイッチング素子ドライブ回路。

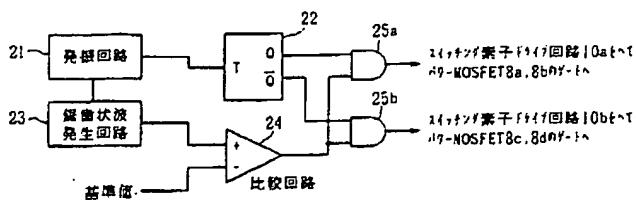
特許出願人 シャープ株式会社

代理人 弁理士 青山 褐ほか1名

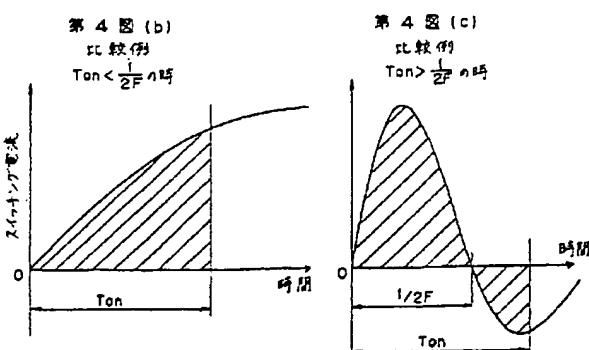
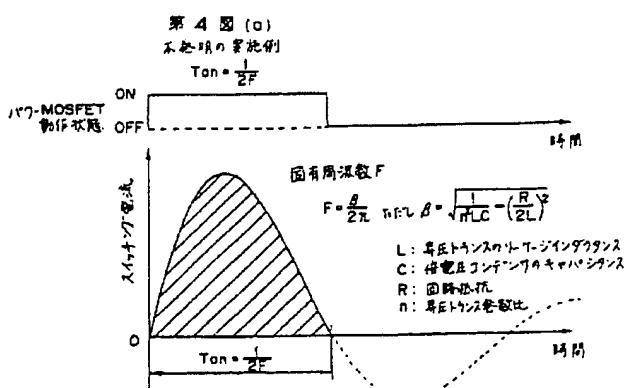
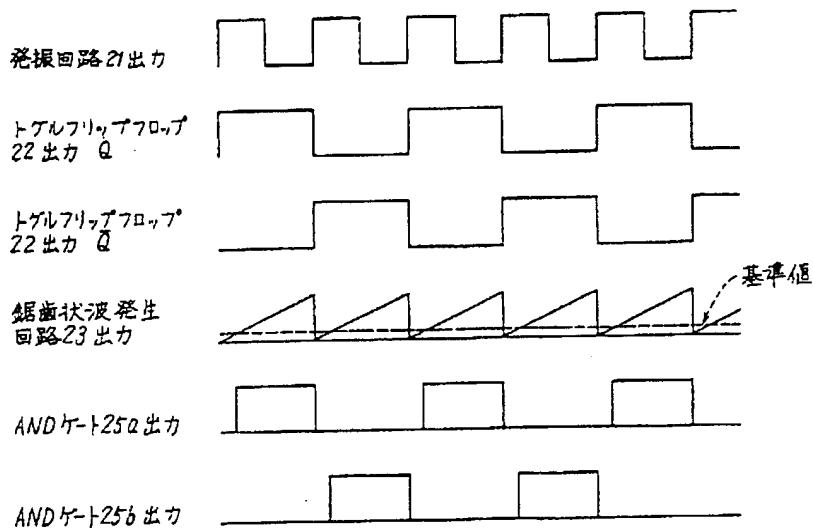
第1図



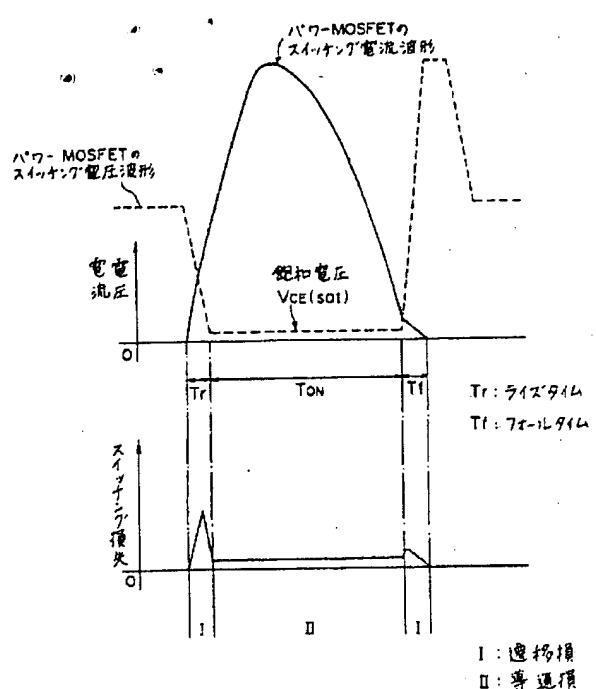
第2図



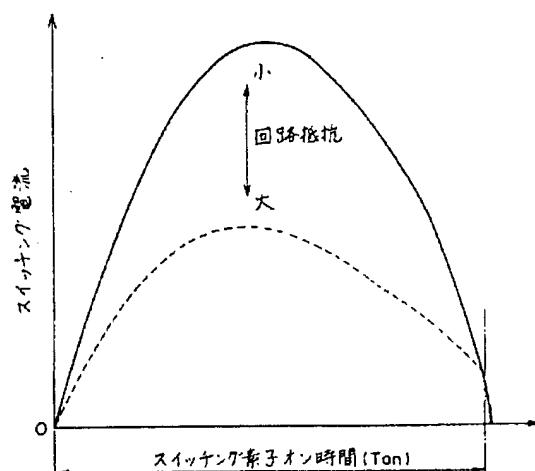
第3図



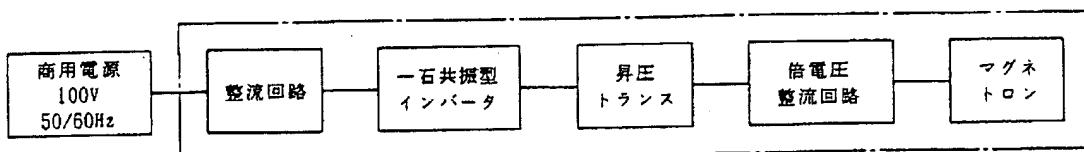
第5図



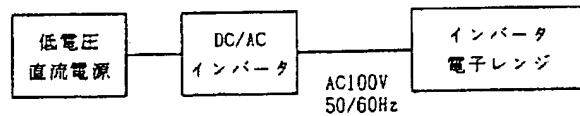
第6図



第7図



第8図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.